

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-255868

(43) 公開日 平成8年(1996)10月1日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F.I.	技術表示箇所
H 0 1 L	25/04		H 0 1 L	Z
	25/18		23/36	A
	23/29			

審査請求 未請求 請求項の数4 OL (全 5 頁)

(21) 出願番号 特願平7-56328

(22) 出願日 平成7年(1995)3月15日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 小田 善造

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 弁理士 鈴木 喜三郎 (外1名)

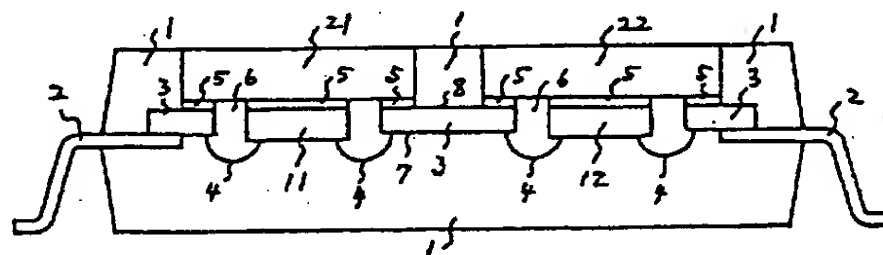
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【目的】複数のICチップを単一のパッケージに内蔵するマルチチップパッケージにおいて、ノイズに強く放熱性の高い樹脂封止ICパッケージを提供する。

【構成】アナログICチップ11、デジタルICチップ12のそれぞれのチップ裏面を別々の金属板21、22に接着する。金属板21、22のICチップを搭載した面と反対の面は、封止樹脂1から露出している。アナログICチップ11、デジタルICチップ12に電源が印加され動作するときには、この露出面から発する熱を空気中に放出する。

【効果】アナログICチップ11の載置台である金属板21、デジタルICチップ12の載置台である金属板22は電氣的に完全に分離されているのでICの動作時に金属板を通してデジタルICチップ12のノイズがアナログICチップ11に伝搬して回路の性能を落とす事がない。



【特許請求の範囲】

【請求項 1】第 1 の集積回路チップと、第 2 の集積回路チップと、該第 1 の集積回路チップの裏面に接着された第 1 の金属板と、該第 2 の集積回路チップの裏面に接着された第 2 の金属板と、該第 1 の集積回路チップおよび該第 2 の集積回路チップを各々内蔵するデバイスホールが設けられ該第 1 の金属板および該第 2 の金属板に接着された配線基板と、該集積回路チップの表面に設けられた電極群と該配線基板の表面に設けられた電極群とを接続する金属細線群と、該第 1 の集積回路チップと該第 2 の集積回路チップと該配線基板と該金属細線群と該第 1 の金属板と該第 2 の金属板とを封止する樹脂とを含んでなり、該第 1 の金属板と該第 2 の金属板の一部が該樹脂から露出したことを特徴とする半導体装置。

【請求項 2】請求項 1 記載の半導体装置において、第 1 の集積回路チップはアナログ集積回路チップであり、第 2 の集積回路チップはデジタル集積回路チップであることを特徴とする半導体装置。

【請求項 3】請求項 2 記載の半導体装置において、第 1 の金属板はアナロググランドまたはアナログ電源に、第 2 の金属板はデジタルグランドまたはデジタル電源に各々電気的に接続されることを特徴とする半導体装置。

【請求項 4】第 1 の集積回路チップと、第 2 の集積回路チップと、該第 1 の集積回路チップの裏面に接着された第 1 の金属板と、該第 2 の集積回路チップの裏面に接着された第 2 の金属板と、該第 1 の集積回路チップおよび該第 2 の集積回路チップを各々内蔵するデバイスホールが設けられ該第 1 の金属板および該第 2 の金属板に接着された配線基板と、該集積回路チップの表面に設けられた電極群と該配線基板の表面に設けられた電極群とを接続する金属細線群とを含んでなる回路ブロックを準備する工程と、該回路ブロックを樹脂封止用金型内に該第 1 の金属板と該第 2 の金属板の表面が該金型の内面に接するように載置し、該金型内に封止用樹脂を注入する工程とを含んでなる半導体装置の製造方法において、該第 1 の金属板と該第 2 の金属板とで形成される間隙の方向に封止用樹脂の流入する方向を概略一致させることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置およびその製造方法に関し、ことに複数の集積回路（以下、IC と記す）チップを単一のパッケージとして樹脂封止し、放熱性を高めた半導体装置およびその製造方法に関する。

【0002】

【従来の技術】図 2 は特開昭 63-244747 号公報に記された構造を簡略表記したものである。図 2 において 2 個の IC チップ 10 はダイパッドである金属板 20 とともに一体に樹脂封止されている。1 は封止樹脂、2

はリード、3 は配線基板、4 は IC チップの表面に設けられた電極と配線基板の表面に設けられた電極とを接続する金属細線、5 は接着剤である。接着剤としては熱抵抗の低い導電性のものが用いられるのが普通である。IC チップ 10 のうち 1 個はダイパッドである金属板 20 に直接接着されているが、他の 1 個は配線基板 3 によりダイパッド 20 と絶縁されている。このようにチップ搭載面を分ける例としてアナログ回路とデジタル回路がある。アナログ回路とデジタル回路とではノイズを避けるために別々の電源、グランドを使用するのが一般的である。アナログ IC チップとデジタル IC チップとを単一の IC パッケージとして樹脂封止する場合、お互いの電源、グランドを分離するため単一の金属板にアナログ IC チップとデジタル IC チップとを熱抵抗の低い導電性接着剤で接着する事はできないので、図 2 に示したように一方の IC チップを配線基板 3 を介してダイパッド 20 に接着せざるをえない。この結果として配線基板 3 を介してダイパッド 20 に接着された IC チップからの放熱が悪くなる。もちろん両方の IC チップを配線基板 3 を介さずにダイパッド 20 に接着することは実装技術的には可能であるが、アナログ回路とデジタル回路で同一の電源またはグランドを使うことになり、共通の電源またはグランドを通してデジタル回路からアナログ回路へノイズが伝達されるので電気回路の性能が悪くなる。

【0003】

【発明が解決しようとする課題】複数の IC チップ、特に電源、グランドのいずれか一方または両方が異なる異種の IC チップを単一のパッケージに封止する場合に、いずれか一方の IC チップはプリント配線板等の絶縁性基板を介して金属板に非導電性の接着をするが、非導電性の接着をされた IC チップからの放熱が悪いという問題がある。また、いずれか一方の IC チップをプリント配線板等の絶縁性基板を介さずに金属板に導電性の接着をした場合は、ノイズにより電気回路の性能が悪くなるという問題がある。

【0004】本発明の目的はかかる課題を解決し、複数の異種の IC チップを単一の IC パッケージに内蔵し、ノイズに強く、放熱性の高い樹脂封止 IC パッケージを提供することにある。

【0005】

【課題を解決するための手段】本発明の半導体装置の構成としては、第 1 の IC チップと、第 2 の IC チップと、該第 1 の IC チップの裏面に接着された第 1 の金属板と、該第 2 の IC チップの裏面に接着された第 2 の金属板と、該第 1 の IC チップおよび該第 2 の IC チップを各々内蔵するデバイスホールが設けられ該第 1 の金属板および該第 2 の金属板に接着された配線基板と、該 IC チップの表面に設けられた電極群と該配線基板の表面に設けられた電極群とを接続する金属細線群と、該第 1

の ICチップと該第 2 の ICチップと該配線基板と該金属細線群と該第 1 の金属板と該第 2 の金属板とを封止する樹脂とを含んでなり、該第 1 の金属板と該第 2 の金属板の一部が該樹脂から露出したことを特徴とする。

【0006】また半導体装置の製造方法としては、第 1 の ICチップと、第 2 の ICチップと、該第 1 の ICチップの裏面に接着された第 1 の金属板と、該第 2 の ICチップの裏面に接着された第 2 の金属板と、該第 1 の ICチップおよび該第 2 の ICチップを各々内蔵するデバイスホールが設けられ該第 1 の金属板および該第 2 の金属板に接着された配線基板と、該 ICチップの表面に設けられた電極群と該配線基板の表面に設けられた電極群とを接続する金属細線群とを含んでなる回路ブロックを準備する工程と、該回路ブロックを樹脂封止用金型内に該第 1 の金属板と該第 2 の金属板の表面が該金型の内面に接するように載置する工程と、該金型内に封止用樹脂を注入する工程とを含んでなる半導体装置の製造方法において、該第 1 の金属板と該第 2 の金属板とで形成される間隙の方向に封止用樹脂の流入する方向を概略一致させることを特徴とする。

【0007】

【作用】例えばアナログ ICチップとデジタル ICチップといった異種の ICチップのいずれもがプリント配線基板等の絶縁性基板を介さず熱抵抗の低い導電性接着剤により各々金属板（載置台）に接着され、金属板の一部は封止樹脂から露出されているので、アナログ ICチップ、デジタル ICチップ間のノイズの伝達を防ぎ、アナログ ICチップおよびデジタル ICチップが動作時に発生する熱は熱伝導の良い導電性接着剤を介してダイパッドの金属板から放熱される。

【0008】

【実施例】図 1 に本発明による ICパッケージの断面図を示す。図 1 において、11、12 はそれぞれ第 1、第 2 の ICチップであり、本例では 11 はアナログ ICチップ、12 はデジタル ICチップ、21 はアナログ ICチップを載置固定する金属板、22 はデジタル ICチップを載置固定する金属板である。アナログ ICチップ 11 は接着剤 5 により金属板 21 に接着されている。同様にデジタル ICチップ 12 は接着剤 5 により金属板 22 に接着されている。3 は一枚の配線基板で、アナログ ICチップ 11、デジタル ICチップ 12 を載置する領域には、各々のチップが無理なく搭載できる大きさの（チップサイズより片側 1mm 程度大きい）デバイスホール 6 が設けられている。配線基板 3 は接着剤 5 により金属板 21、22 と接着されている。従って金属板 21、22 の平面的な大きさはこのデバイスホールの周辺の少なくとも 3 点で配線基板 3 と重なる大きさにする。配線基板 3 の下面 7 のデバイスホール周辺には銅箔の上にニッケルメッキ、さらにその上に金メッキが施された複数の電極（図示せず）があり、ICチップ上の対

応する電極（図示せず）と金属細線 4 で結ばれている。また、図示していないが配線基板 3 には所望の回路機能を実現すべく設計された金属配線が少なくとも下面 7 にはあり、前記配線基板下面 7 の電極、あるいはリード 2 と電氣的に接続している。また、必要に応じて上面 8 および配線基板内にも金属配線が設けられ、これらの配線を電氣的に接続するバイアホールが設けられる。2 はリードで ICパッケージ内の回路を外部回路と電氣的に接続する。リードは金属で、材質としては 42 アロイあるいは銅アロイが用いられる。リード 2 の曲げ方向は金属板 21、22 の露出部がパッケージ搭載板側にこないように図示した向きに曲げるのが普通である。金属板 21、22 の露出部がパッケージ搭載板側に来た場合は、放熱フィンを露出部に付加して更に放熱性能を上げることが不可能になる。1 は封止樹脂で、ICチップ 11、12、配線基板 3、金属細線 4 などを外部からの機械的衝撃から保護する。金属板 21、22 の ICチップを搭載した面と反対の面は封止樹脂 1 から露出している。このためアナログ ICチップ 11、デジタル ICチップ 12 に電源が印加され動作するときに発する熱を空气中に容易に放出できる。また、アナログ ICチップ 11 の載置台である金属板 21、デジタル ICチップ 12 の載置台である金属板は電氣的に完全に分離されているので ICの動作時に金属板を通してデジタル ICチップ 12 のノイズがアナログ ICチップ 11 に伝搬して回路の性能を落とす事がない。

【0009】本発明による半導体装置は以下のように製造する。

【0010】（1）まず、所望の回路機能を得るべく設計された配線、バイアホールと、金属細線を接続するパッドおよびリードを接続するパッドが表面端部に設けられるとともに、その中にアナログ ICチップを入れる為のデバイスホール 6 と、その中にデジタル ICチップを入れる為のデバイスホール 6 が開けられたプリント基板 3 を用意する。前記パッドはいずれも銅箔の上にニッケルメッキが、更にその上に金メッキが施されている。プリント基板 3 の基材としてはポリイミドや BT レジンなどの FR-5 以上の耐熱性にすぐれたものが望ましい。この理由は、後の工程で加熱することが必要だからである。

【0011】（2）次いで、図 4（a）に示すようにリードフレーム 40 の錫メッキを施されたリード内端と前記のプリント基板表面端部に設けられ金メッキの施されたパッドとを熱圧着して接続する。金-錫共晶合金は融点が高いので後の工程における高温に耐えられるとともに信頼性も高く接着強度も強い。他の接続方法としては Sn90%Pb10%、液相線融点が 220℃ 程度の高融点半田を用いる方法もある。高融点半田を用いる理由は後の工程で加熱することが必要だからである。また別の方法としては、リード内端のメッキを金メッキ（リー

ド材質が42アロイの場合)または銀メッキ(リード材質が銅アロイの場合)とし、前記プリント基板裏面端部をタブ吊りリードに接着したのち、リード内端とプリント基板表面端部に設けられ金メッキの施されたパッドとを金細線で接続する方法もある。

【0012】(3)次いで、図4(b)に示すように2枚の金属板21、22を前記プリント基板3に接着剤5を使って接着する。エポキシ系の接着剤をプリント基板のデバイスホール周辺部に塗布し、金属板をアナログICチップ用のデバイスホール、デジタルICチップ用のデバイスホールをそれぞれ塞ぐように配置したのち100~200℃・1時間ほど加熱乾燥し固着した。

【0013】(4)次いで、金属板21、22がプリント基板3のデバイスホール6により露出した面に銀ペーストなどの導電性接着剤を用いてアナログICチップ、デジタルICチップを接着する。

【0014】金属板がデバイスホールにより露出した部分に銀ペーストを塗布し、アナログICチップ、デジタルICチップを搭載したのち100~200℃・1時間ほど加熱乾燥し固着した。

【0015】(5)次いで、図4(c)に示すようにICチップ11、12の表面に設けられた電極と配線基板の表面に設けられた電極とを金属細線4で接続する。金属細線としては直径30ミクロンメートルの金線を用い超音波併用熱圧着法で接続した。他にもアルミ線を超音波法で接続する方法や、TABリードを用いて接続する方法もある。

【0016】(6)以上の工程を経たリードフレームを、図4(d)に示すように樹脂封止用モールド金型30に前記金属板21、22の表面が金型の内面に接するように装填し、樹脂封止する。この時、図3に示すように金属板21と金属板22とでできる間隙23の方向と封止用樹脂の流入する方向24を一致させる。(図3では左下から右上の方向になる。)こうする事により樹脂の流入がスムーズにでき空洞等の発生を抑えることができる。なお、図3において30はモールド金型、40はリードフレームである。封止方法としては最も一般的なトランスファモールド法を、モールド材としてはやはり一般的でよく使われているクレゾールノボラック系のエポキシ樹脂を用いた。パッケージ厚みを薄くするような場合は、クラックの発生しにくいビフェニール系のモ-

ルド材が適する。

【0017】(7)次いで、図4(e)に示すようにリードフレームは通常の手段によってフレームおよびダムバーが切断除去され、外部リード2は所望の形状に成形される。

【0018】

【発明の効果】アナログICチップ、デジタルICチップが単一のパッケージに封止でき、アナログ回路、デジタル回路で電源、グランドが分離されているため、アナログ回路にデジタル回路のノイズが影響することがない。また、放熱性に優れているため高速で動作する消費電力の大きいICでもチップの動作温度が上昇しないので性能が落ちることがない。

【0019】また、樹脂封止工程においてアナログICチップのダイパッドである金属板とデジタルICチップのダイパッドである金属板とでできる間隙の方向と封止用樹脂の流入する方向を一致させたので、空洞等の発生を抑えることができ信頼性の高い半導体装置を製造することができる。

【図面の簡単な説明】

【図1】本発明の実施例。ICパッケージの断面図。

【図2】従来例。ICパッケージの断面図。

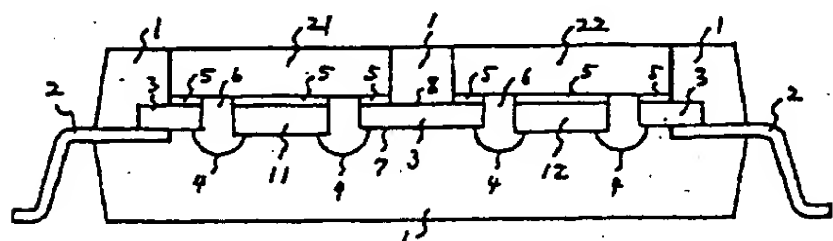
【図3】本発明の実施例。樹脂封止工程における樹脂の流入を説明する平面図。

【図4】本発明の実施例。製造工程を説明する図。

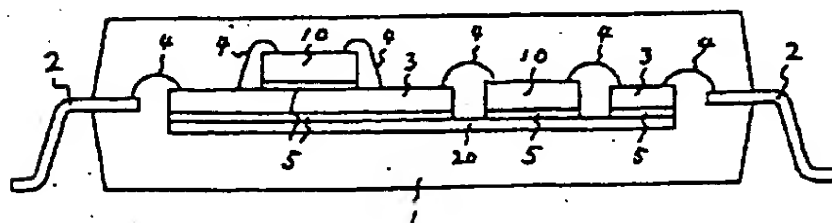
【符号の説明】

- 1 封止樹脂
- 2 リード
- 3 配線基板
- 4 金属細線
- 5 接着剤
- 6 デバイスホール
- 7 配線基板の下面
- 8 配線基板の上面
- 11 アナログICチップ
- 12 デジタルICチップ
- 20 ダイパッドである金属板
- 21 アナログICチップのダイパッドである金属板
- 22 デジタルICチップのダイパッドである金属板
- 30 モールド金型
- 40 リードフレーム

【図1】



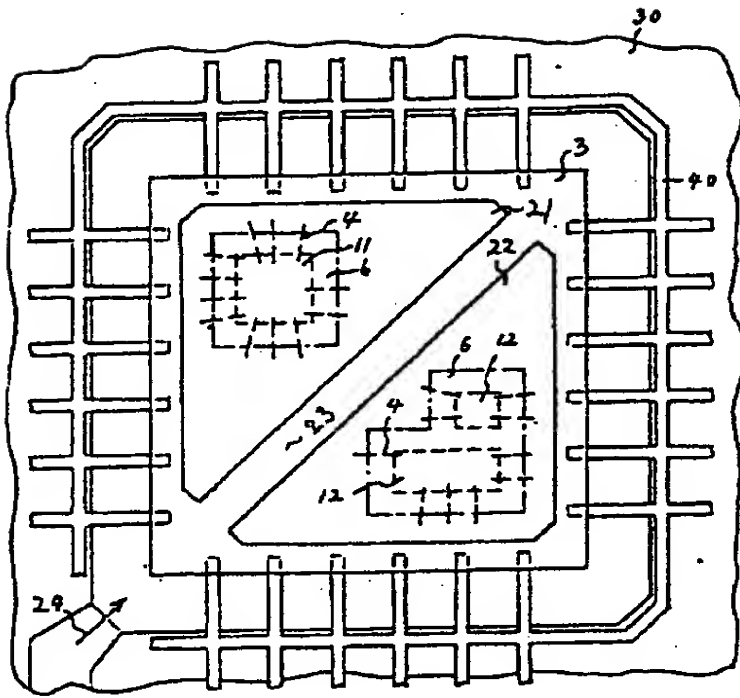
【図2】



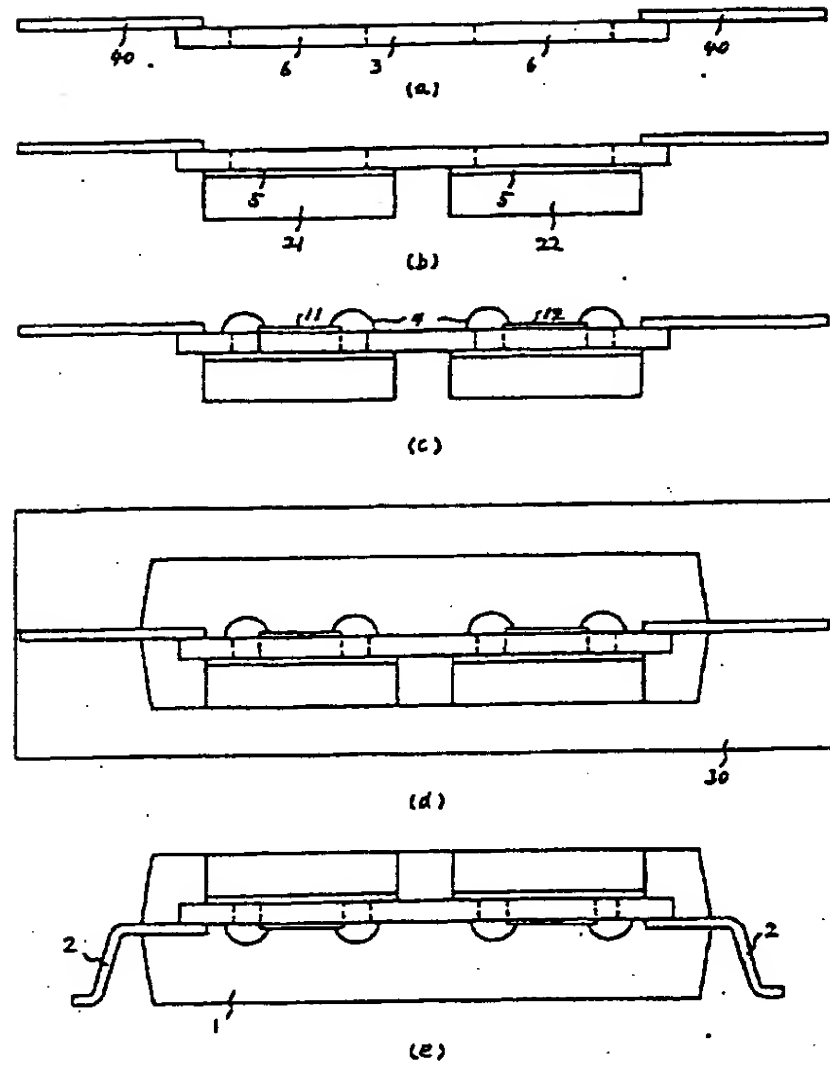
(5)

特開平8-255868

【図3】



【図4】



(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08255868 A**(43) Date of publication of application: **01.10.96**

(51) Int. Cl
H01L 25/04
H01L 25/18
H01L 23/29

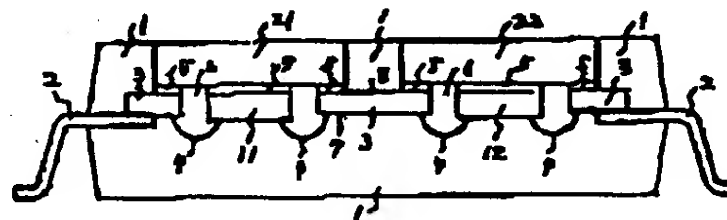
(21) Application number **07056328**(71) Applicant: **SEIKO EPSON CORP**(22) Date of filing: **15.03.95**(72) Inventor: **ODA ZENZO**

(54) **SEMICONDUCTOR DEVICE AND MANUFACTURE
THEREOF**

(57) Abstract:

PURPOSE: To obtain a robust resin sealed multichip IC package having high heat dissipation properties in which a plurality of IC chips are set in a single package.

CONSTITUTION: An analog IC chip 11 and a digital IC chip 12 are bonded, on the rear surface thereof, to individual metal plates 21, 22. The metal plates 21, 22 are exposed from sealing resin 1 on the side opposite to the IC chip mounting side. When the metal plates 21, 22 are fed with power and operated, heat is dissipated from the exposed surface into the air. Since the mounting base of the analog IC chip 11, i.e., the metal plate 21, is electrically separated completely from the mounting base of the digital IC chip 12, i.e., the metal plate 22, no noise propagate on the metal plates from the digital IC chip 12 to the analog IC chip 11 to cause deterioration in the performance of the circuit during the operation.



COPYRIGHT (C)1996 JPO

拒絶査定



特許出願の番号 平成 9年 特許願 第181132号
起案日 平成15年 6月 9日
特許庁審査官 田代 吉成 9448 4R00
発明の名称 半導体装置及びその製造方法及びその実装構造
特許出願人 富士通株式会社
代理人 伊東 忠彦

この出願については、平成14年 3月25日付け拒絶理由通知書に記載した理由2)によって、拒絶をすべきものである。

なお、意見書及び手続補正書の内容を検討したが、拒絶理由を覆すに足りる根拠が見いだせない。

備考

電極板は周知（その根拠については、例えば、特開平1-134938号公報、特開平8-255868号公報及び特開平5-82717号公報等を参照のこと。）。

提出期限

7/17 (木)

上記はファイルに記録されている事項と相違ないことを認証する。

認証日 平成15年 6月10日 経済産業事務官 塚本 佳雅